

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-000722
(43)Date of publication of application : 05.01.1989

(51)Int.Cl.

H01L 21/20
H01L 21/205
H01L 27/00
H01L 27/12
H01L 29/205
H01L 29/72
H01L 29/74
H01L 29/78
H01L 29/80
H01L 29/91
// H01S 3/18

(21)Application number : 63-042305 (71)Applicant : CANON INC
(22)Date of filing : . 26.02.1988 (72)Inventor : ICHIKAWA TAKESHI
YAMAGATA KENJI

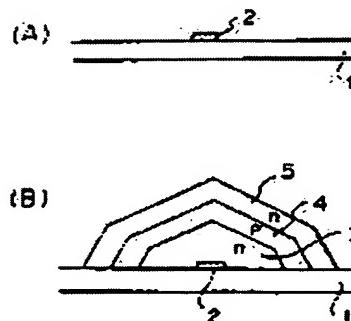
(30)Priority
Priority number : 62 44103 · Priority date : 28.02.1987 · Priority country : JP
62 70468 26.03.1987 JP

(54) MANUFACTURE OF SEMICONDUCTOR BASE MATERIAL

(57)Abstract:

PURPOSE: To form semiconductor crystal regions having different characteristics to at least one part of a single crystal by varying the conditions of manufacture such as a composition ratio, the quantity of an impurity, the kind of the impurity, etc., at a stage when crystal forming treatment is executed to a base body, in which a non-nucleation surface having small nucleation density and the nucleation surface of an amorphous material larger than the non-nucleation surface are adjoined, and the semiconductor single crystal is grown.

CONSTITUTION: An silicon nitride layer is deposited onto a base body 1 consisting of SiO₂ through a decompression vapor growth method, the silicon nitride layer is patterned, and an approximately square nucleation surface 2 in thickness of approximately 300Å and size of approximately 1W4μm is formed. When the flow rates of each gas of SiH₂Cl₂, HCl, and H₂ are brought to 0.6l/min, 1.0l/min and 100l/min and an n-type doping gas is mixed only by a desired flow rate, an Si nucleus is not shaped onto the exposed surface of the temperature of 960° C and pressure of 150Torr, and an only onto the nucleation surface 2, thus manufacturing an



semiconductor crystal region 3 in desired size into a single crystal.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭64-722

⑫ Int.CI.

H 01 L 21/20
21/205
27/00
27/12
29/205
29/72
29/74
29/78
29/80
29/91
// H 01 S 3/18

識別記号

3 0 1

3 1 1

庁内整理番号

7739-5F
7739-5F
E-8122-5F
7514-5F
8526-5F
8526-5F
F-7376-5F
Z-7925-5F
C-8122-5F
A-7638-5F

⑬ 公開 昭和64年(1989)1月5日

7377-5F 審査請求 未請求 請求項の数 9 (全14頁)

⑭ 発明の名称 半導体基材の製造方法

⑮ 特願 昭63-42305

⑯ 出願 昭63(1988)2月26日

優先権主張 ⑰ 昭62(1987)2月28日 ⑯ 日本(JP) ⑮ 特願 昭62-44103

⑰ 昭62(1987)3月26日 ⑯ 日本(JP) ⑮ 特願 昭62-70468

⑰ 発明者 市川 武史 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑰ 発明者 山方 憲二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑯ 出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑮ 代理人 弁理士 山下 積平

明細書

1. 発明の名称

半導体基材の製造方法

2. 特許請求の範囲

(1) 核形成密度の小さい非核形成面と、単一核のみより結晶成長するに充分小さい面積を有し、前記非核形成面の核形成密度より大きい核形成密度を有し、非品質材料からなる核形成面とを隣接して配された自由表面を有する基体に、結晶形成処理を施して、前記核形成面に成長した単一の核を中心として半導体単結晶を成長させる段階で、製造条件を変えることによって、特性の異なる半導体結晶領域を半導体単結晶の少なくとも一部に形成する半導体基材の製造方法。

(2) 前記半導体単結晶を平坦化し、特性の異なる半導体結晶領域を露出させる請求項1記載の半導体基材の製造方法。

(3) 前記特性の異なる半導体結晶領域を複数形成し、少なくとも一つの半導体結晶領域を微細加工技術を用いて分割し、複数の半導体結晶領域を

形成する請求項1記載の半導体基材の製造方法。

(4) 前記特性の異なる半導体結晶領域が、半導体単結晶を成長させる段階で、所望の不純物をドーピングすることによって形成された導電型半導体結晶領域である請求項1記載の半導体基材の製造方法。

(5) 前記ドーピングの条件を段階的に変更することによって、連続した所望の導電型半導体結晶領域を形成する請求項4記載の半導体基材の製造方法。

(6) 前記核形成面が、バターンニングすることによって形成される請求項1記載の半導体基材の製造方法。

(7) 前記核形成面が、核形成密度の大きい表面を有する基体の前記表面に、前記非品質材料の堆積膜を形成した後、該堆積膜に開口部を設けることによって形成される請求項1記載の半導体基材の製造方法。

(8) 核形成面が、核形成密度の小さい表面を有する基体に前記表面よりイオン注入することに

特開昭64-722(2)

よって形成される請求項1記載の半導体基材の製造方法。

(9) 非核形成面および核形成面が所望の下地材料上に形成される請求項1記載の半導体基材の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体基材の製造方法に係り、特に核形成密度の小さい非核形成面と、单一核のみより結晶成長するに充分小さい面積を有し、前記非核形成面の核形成密度より大きい核形成密度を有し、非品質材料からなる核形成面とを隣接して配された自由表面を有する基体に、結晶形成処理を施して、前記核形成面に成長した単一の核を中心として半導体単結晶を形成する半導体基材の製造方法に関する。

本発明は、たとえば半導体集積回路、光集積回路、磁気回路等の電子素子、光素子、磁気素子、圧電素子あるいは表面音響素子等に使用される単結晶や多結晶等の結晶の形成に適用される。

である。その中でも特に、非品質絶縁物上に高品質の単結晶半導体を形成する技術が望まれている。

しかしながら、一般的に、 SiO_2 等の非品質絶縁物基板上に薄膜を堆積させると、基板材料の長距離秩序の欠如によって、堆積膜の結晶構造は非品質又は多結晶となり、高品質の単結晶半導体を形成するは、きわめて困難であった。ここで非品質膜とは、最近接原子程度の近距離秩序は保存されているが、それ以上の長距離秩序はない状態のものであり、多結晶膜とは、特定の結晶方位を持たない単結晶粒が粒界で隔離されて集合したものである。

以上述べたような、従来の問題点を解決するものとして、特開昭61-153273号において、非核形成面と、該非核形成面より核形成密度が十分大きく、かつ単一の核だけが成長する程度に十分微細な面積を有する核形成面とを隣接に設けた基体を用い、該基体の前記核形成面に核形成処理を施して単一の核を前記核形成面に形成し、

【従来技術】

従来、半導体電子素子や光素子等に用いられる単結晶薄膜は、単結晶基板上にエピタキシャル成長させることで形成されていた。しかしながら、単結晶基板上に単結晶薄膜をエピタキシャル成長させるには、基板の単結晶材料とエピタキシャル成長層との間に、格子定数と熱膨脹係数との整合をとる必要があり、良質な素子が作製可能な単結晶層を形成するには、基板材料の種類が極めて狭い範囲に限定されるという問題点を有していた。

一方、近年、半導体素子を基板の法線方向に核形成し、高集成化および多機能化を達成する三次元集成回路の研究開発が近年盛んに行われております、また安価なガラス上に素子をアレー状に配列する太陽電池や液晶画面のスイッチングトランジスタ等の大面積半導体装置の研究開発も年々盛んになりつつある。

これらの研究開発に共通することは、半導体薄膜を非品質絶縁物上に形成し、そこにトランジスタ等の電子素子を形成する技術を必要とすること

該単一の核を中心として、結晶を成長させることによって結晶を形成する形成方法が提案されており、この方法を用いることにより、非品質材料からなる表面を有する基体の該表面上にも単結晶形成が可能なことが示されている。

なお、この単結晶の形成方法に関しては、以降において具体的に説明する。

【発明が解決しようとする問題点】

MOS型トランジスタ、バイポーラトランジスタ、SCR等の半導体素子は、p-n接合部を複数個組み合わせて形成することによって素子が構成される。例えばnチャネルMOS型トランジスタの場合にはn型半導体領域中にソース領域、ドレイン領域たるp型半導体領域が形成されて素子が構成される。

前記特開昭61-153273号に示された結晶の形成方法を用いて、絶縁性非品質基材上にかかる半導体素子を作製して半導体装置を得ようとする場合、絶縁性非品質基材上に単結晶のファセットを成長させ、かかる単結晶のファセットを

特開昭64-722(3)

平坦化した後、通常の半導体端子製造プロセスを用いて素子形成を行うことができる。すなわち、導電型半導体領域を形成しようとする場合、n型不純物又はp型不純物をイオン打ち込みプロセスで打ち込むことにより、形成が行われる。

しかしながら、かかる半導体装置の製造方法は、イオン打ち込みプロセスと拡散プロセスが必要とされ、工程が煩雑であるとともに、拡散工程の制御が難しく半導体領域を高精度に分離形成することは困難であった。

本発明の目的は、上記の導電性型半導体領域のような、特性の異なる半導体領域を単結晶中に簡易な方法で形成可能で、工程を大幅に短縮可能な半導体基材の製造方法を提供することにある。

【問題点を解決するための手段】

本発明の半導体基材の製造方法は、核形成密度の小さい非核形成面と、单一核のみより結晶成長するに充分小さい面積を有し、前記非核形成面の核形成密度より大きい核形成密度を有し、非品質材料からなる核形成面とを隣接して配された自由表面を有する基体に、結晶形成処理を施して、前記核形成面に成長した单一の核を中心として半導体単結晶を成長させる段階で、製造条件を変えることによって、特性の異なる半導体結晶領域を半導体単結晶の少なくとも一部に形成することを特徴とする。

ここで、単結晶とは、単結晶構造のもの及び格子欠陥等を有するが実質的に単結晶構造を有するものをいう。

【作用】

本発明は、核形成密度の小さい非核形成面と、单一核のみより結晶成長するに充分小さい面積を有し、前記非核形成面の核形成密度より大きい核形成密度を有し、非品質材料からなる核形成面とを隣接して配された自由表面を有する基体に、結晶形成処理を施して、前記核形成面に成長した单一の核を中心として半導体単結晶を成長させることにより、非核形成面上での核形成を抑制し、半導体単結晶を成長させる段階で、堆積材料の種類、組成比、不純物の量、種類等の製造条件を変

えて、特性の異なる半導体結晶領域を半導体単結晶の少なくとも一部に形成するものである。

本発明において、半導体単結晶の突出部を平坦化し、特性の異なる半導体結晶領域を露出させることにより、基体に対して直角に近い角度で特性の異なる半導体結晶領域を隣接して形成することができる。

本発明において、特性の異なる半導体結晶領域を複数形成し、少なくとも一つの半導体結晶領域を微細加工技術を用いて分割すれば、同一特性の複数の半導体結晶領域を孤立して同時に形成することができる。

【実施態様例】

以下本発明を図面にもとづいて詳細且つ具体的に説明する。

まず、特開昭61-153273号に示された結晶の形成方法の一例について説明する。

はじめに、説明される結晶成長方法をよりよく理解する為に、堆積面上に選択的に堆積膜を形成する選択堆積法について説明する。

選択堆積法とは、表面エネルギー、付着係数、脱離係数、表面拡大速度等という薄膜形成過程での核形成を左右する因子の材料間での差を利用して、基体上に選択的に薄膜を形成する方法である。

第10図(A)および(B)は選択堆積法の説明図である。

まず、同図(A)に示すように、基体6上に、基体6と上記因子の異なる材料から成る薄膜7を所定部分に形成する。そして、適当な堆積条件によって適当な材料から成る薄膜の堆積を行うと、薄膜8は薄膜7上にのみ堆積し、基体6の露出面上には堆積しないという現象を生じさせることができる。この現象を利用することで、自己整合的に成形された薄膜8を形成することができ、従来のようなレジストを用いたリソグラフィ工程の省略が可能となる。

このような選択形成法による堆積を行うことができる材料としては、たとえば基体6として SiO_2 、薄膜7を形成する材料として Si 、 GaAs 、或

特開昭64-722(4)

化シリコン、そして複数8を形成する材料としてSi、W、GaAs、InP等がある。

第11図は、SiO₂からなる堆積面と空化シリコンからなる堆積面との核形成密度の経時変化を示すグラフである。

同グラフが示すように、堆積を開始して間もなくSiO₂面上でのSi核の核形成密度は10³ cm⁻²以下で飽和し、20分後でもその値はほとんど変化しない。

それに対して空化シリコン(Si₃N₄)面上では、~4×10⁵ cm⁻²で一旦飽和し、それから10分ほど変化しないが、それ以降は急激に増大する。なお、この測定例では、SiCl₄ガスをH₂ガスで希釈し、圧力175Torr、温度1000℃の条件下で熱CVD法により堆積した場合を示している。他にSiH₄、SiH₂Cl₂、SiHCl₃、SiF₄等を反応ガスとして用いて、圧力、温度等を調整することで同様の作用を得ることができる。また、真空蒸着でも可能である。

この場合、SiO₂面上の核形成はほとんど問題と

SiO₂が望ましいが、これに限らずSiO_x(0<x<2)であっても空化シリコンとの核形成密度の差を得ることができる。

勿論、これらの材料に限定されるものではなく、核形成密度の差が核形成の密度の比で10倍以上、好みくは10³倍以上あればよく、後に例示するような材料の組み合わせによっても堆積膜の十分な選択形成を行うことができる。

この核形成密度差(△ND)を得る方法としては、SiO₂又はSiO₂基体中に局所的にSiやN等をイオン注入して、SiO₂膜又はSiO₂基体中に過剰にSiやN等を有する領域を形成してもよい。

このような核形成密度差(△ND)を利用し、堆積面を形成する材料より核形成密度が十分大きく且つ前記堆積面を形成する材料とは異種の材料からなる核形成面を唯一の核だけが成長するよう十分微細な堆積面に形成することによって、その微細な核形成面の存在する箇所だけに唯一の核を形成し、該唯一の核より単結晶を成長させることができる。

ならないが、反応ガス中にHClガスを添加することで、SiO₂面上でのSi核形成を更に抑制し、SiO₂上でSi堆積膜の堆積を皆無にすることができる。

このような現象は、SiO₂および空化シリコンからなる表面を有する基体の各表面のSiに対する吸着係数、脱離係数、表面拡散係数等の差によるところが大きいが、Si原子自身がSiO₂と反応し、蒸気圧が高い一酸化シリコンが生成されることでSiO₂自身の表面がエッチングされるのに対して、空化シリコンではこのようなエッチング現象は生じないということも選択堆積を生じさせる原因となっていると考えられる(T.Yonehara, S.Yoshioka, S.Miyazawa, Journal of Applied Physics 53, 8839, 1982)。

このように堆積面形成用の材料としてSiO₂および空化シリコンを選択し、堆積膜形成用の材料としてシリコンを選択すれば、同グラフに示すように十分に大きな核形成密度差を得ることができます。なお、ここでは堆積面形成用の材料として

このような単結晶の作成方法を開示したのが前記の特願昭61-153273号である。

なお、単結晶の選択される所望位置における選択的成長は、核形成表面の電子状態、特にダングリンボンドの状態によって決定されるために、核形成密度の低い非核形成面を有する基体はバルク材料から成るものである必要はなく、任意の材料からなる支持体の表面に核形成密度の低い材料(例えばSiO₂)からなる薄膜を設けたものであってもよい。

第12図(A)～(C)は、前記特願昭61-153273号に開示された単結晶形成方法の一例を示す形成工程図であり、第13図(A)および(B)は、第12図(A)および(C)における斜視図である。

まず、第12図(A)および第13図(A)に示すように、支持体9上に、選択核形成を可能にする核形成密度の小さい薄膜10を形成し、その上に核形成密度の大きい核形成面形成材料を薄く堆積させリソグラフィ等によってバーニングするこ

特開昭64-722(5)

とて、核形成面11を唯一の核のみより単結晶の成長が起こるに十分微細な大きさに形成する。ただし、支持体9そのものの大ささ、結晶構造および組成は任意のものでよく、更には機能素子が形成されたものであってもよい。なお、核形成面11は薄膜10がSiO₂である場合には上述したように、SiやN等を薄膜10にイオン注入して形成される過剰にSiやN等を有する変質領域であってもよい。

次に、適当な結晶形成条件を選択することによって核形成面11だけに単結晶成長用の唯一の核だけが形成される。

核形成面11の大きさは、材料の種類によって異なるが、10ミクロン以下、好ましくは数ミクロン以下であればよい。更に、結晶形成成長処理を続けると、核形成面11上に形成された単一の核は単結晶構造を保ちながら成長し、第12図(B)に示すように核形成面11の全体を覆う様に成長した島状の単結晶粒12となる。島状の単結晶粒12が形成されるためには、すでに述べたよ

形成を可能にする核形成密度の小さい材料から成る支持体を選択することによりそのまま用いて、単結晶層を支持体の自由表面に同様に形成することもできる。

なお、以上に述べた単結晶形成法の変形例としては、特開昭61-153273号に開示された単結晶形成方法の一例としての次のような製造工程で行われてもよい。

第14図(A)～(C)は前述した特開昭61-153273号に開示された単結晶形成方法の一例を示す形成工程図である。

第14図(A)に示すように、本例においては、核形成面形成材料となる支持体14上に非核形成面形成材料からなる層15を形成した後、開口部16を形成する。この開口部16によって露出する核形成面16-1は、第12図および第13図で述べたのと同様に単一の核のみより単結晶成長が起こるよう充分微細な面積となるように形成される。核形成面16-1には、第14図(B)、(C)に示すように、第12図、第13図に示した

うに、薄膜10の自由表面上に結晶成長用の核形成が全く起こらないように結晶形成条件を決めることが必要である。

引き続き施される結晶成長処理によって島状の単結晶粒12は単結晶構造を保ちながら核形成面11を中心として更に成長し、同図(C)に示すように単結晶13となる。

続いて、エッチング又は研磨によって単結晶13の上表面を平坦化すれば、所望の素子を形成することができる単結晶層が薄膜10上に形成される。

このように非核形成面を形成する薄膜10が支持体9上に形成されているために、支持体9としては任意の材料を使用することができ、更に支持体9に機能素子等が形成されたものであっても、その上に容易に単結晶層を形成することができる。

なお、上記単結晶形成例では、非核形成面を形成する材料を薄膜10で形成したが、その上に核形成面を別途設けることにより選択的な単一核の

例と同様にして、単一の核を形成して、この唯一の核を中心として単結晶粒12を成長させ、さらに結晶成長処理を施し続けることで単結晶13が形成され、第12図(C)、第13図(B)に示した単結晶と同様なものが作製される。なお、核形成面16-1は支持体として所定の材料のものを選択し、選択された支持体上に核形成面形成材料層を形成することによって作製することができるることは勿論である。

また、上記核形成面16-1は非導体材料で構成されるものであり、その中でも電気的絶縁性のものが良い。非核形成面15-1は電気的絶縁性のものであることが好ましい。

以上説明した単結晶形成方法においては、結晶形成面は平坦であるが、第15図(A)(B)に示すように、凹凸の底面に核形成面16-1を設け、この核形成面16-1に成長した単一の核を中心として、単結晶粒12を成長させ、さらに堆積を続けて所望の大きさの単結晶を形成してもよい。

本発明の半導体基材の製造方法は、以上述べた

特願昭61-153273号あるいは特願昭62-67335号に開示された単結晶の製造法を基礎としている。

次に、本発明の半導体基材の製造方法について説明する。なお、以下本発明の実施態様としては不純物の種類を変えてP型およびN型半導体結晶領域を形成する場合について説明するが、本発明は、これに限定されるものではなく、例えば超高速トランジスタ、半導体レーザにおけるGaAsとAlGaAsとの積層のように組成の異なる半導体を積層する場合にも好適に用いられる。

第1図(A)～(D)は、本発明の半導体基材の製造方法の第一実施態様例を示す工程図である。

先ず、第1図(A)において、基体1に核形成面形成材料からなる核形成面(seed)2を微細、にバーニングによって形成する。基体1の材料としては、例えばSiO₂を用いる。基体1は金属、半導体、磁性体、非電体、絶縁体等の任意の支持体上に、スパッタ法、常圧CVD法、真空蒸着法等を用いて支持体表面にSiO₂層を形成してもよい。ま

所望の大きさ及び位置に形成する。

基体1上の核形成面2にSi単結晶を選択的に核形成を行う条件は、ソースガス種によって異なるが、例えば、SiH₄Cl₂、HCl、H₂のそれぞれのガスの流量を0.6 l/min、1.0 l/min、100 l/minとし、ドーピングガス(PH₃、B₂O₆等)を所望の流量だけ混合させれば、温度960℃、圧力150Torrの条件下で、基体1の露出表面(非核形成面)上にはSi核が形成されず、核形成面2の上のみにSi単結晶核を選択核形成させることができ、所望の大きさのP型あるいはN型導電型半導体結晶領域を単結晶内の所望の位置に作製することができる。

本実施態様例では、第1図(B)に示すように、単結晶の成長初期段階では、N型タイプのドーピングガスを使用して、適当な大きさのN型半導体単結晶領域(以下、N型領域と記す)3を成長させ、その後、ドーピングガスをP型タイプに切り換えて、N型領域3上にP型半導体単結晶領域(以下、P型領域と記す)4を夫々連続的に成長

特開昭64-722(6)

た、非核形成面形成材料としてはSiO₂が望ましいが、SiO_xとしてxの値を変化させたものでもよい。

このようなSiO₂の基体1上に減圧気相成長法によって窒化シリコン層(ここではSi₃N₄層)を堆積させ、次いで通常のリソグラフィ技術又はX線、電子線若しくはイオン線を用いたリソグラフィ技術で窒化シリコン層をバーニングし、厚さ300Å程度、大きさ1～4μm程度の微小な略正方形の核形成面2を形成する。

次に、第1図(B)に示すように、核形成面2に通常のエピタキシャル成長法を用いて、Siエピタキシャル成長を行う。この時、製造条件を適当な条件に設定すれば、SiO₂である基体1上にはSi核が形成されず、Si₃N₄である核形成面2上ののみSi核を選択核形成させることができる。

この核形成面2に形成される唯一の核を結晶成長させて単結晶を形成する段階で、所望の種類及び量の不純物を、所望の時間だけドーピングして、単結晶内に所望の種類の導電型半導体領域を

させる。さらに同様に、P型Si単結晶4が一定の大きさとなったところで、ドーピングガスをN型タイプに切り換えて、P型Si単結晶4上にN型Si単結晶5を連続的に成長させて、第1図(B)のようなP-N-P層が連続して積層された島状のSi単結晶を作製する。

次に、第1図(C)(D)に示すように、成長した島状のSi単結晶を適当な高さのところで平坦化することによって半導体基材を作成することができる。

本実施態様例によって製造される半導体基材は、第1図(C)(D)に示すように、鏡面円錐体であり、N型Si単結晶3の外側に向ってP型Si単結晶4・N型Si単結晶5が形成されている。

平坦化の方法の代表的なものとしては、ラッピング・ポリシング法と、エッチバック法が挙げられる。

ラッピング・ポリシング法とは、機械的にSi単結晶を上部から研磨し(ラッピング)、さらに表面を表面処理と研磨によって鏡面仕上げ(ポリシ

特開昭64-722(7)

ング) を行う方法である。

ニッチバック法とは、Si単結晶を覆うようにレジストを適当な厚さに、平坦に施し、RIE (Reactive-Ion-Etching) によってレジストとSi単結晶と一緒にエッチングしていく方法である。

上記半導体基材の製造方法は p-n-p 接合の作製に p 層、n 層、p 層を積層させたが、p 層、n 層のみで p-n-p 接合を構成することができる。

第2図(A)～(D)は、上記構成を具現化する本発明の半導体基材の製造方法の第二実施態様例を示す工程図である。

なお、前述した第一実施態様例と同一構成部材については同一符号を付するものとし、製造工程は略同等なので差異を生ずる特徴部分についてのみ説明を行うものとする。

本実施態様例では、第2図(B)に示すように、単結晶の成長初期からある段階までは、n型タイプのドーピングガスを使用して、適当な大きさの

線、電子線、X線等が用いられる。

エッチングプロセスは、ウェットエッチング、ドライエッチングのいずれを用いてもよいが、高精度度が要求される場合には反応性イオンエッチング等の異力性エッチングが可能な方法を用いることが望ましい。

前述したような本発明の半導体基材の製造方法によって形成された半導体基材を用いて種々の半導体素子を作製することができる。

以下、上記の製造工程で作製された半導体基材にバイポーラトランジスタを形成する場合について説明する。かかるには、バイポーラトランジスタは、通常の半導体素子製造プロセスを用いて形成することができる。

第3図(A)は本発明の第一実施態様によって作成された半導体基材を用いた n-p-n 型バイポーラトランジスタの構成図であり、第3図(B)は p-n-p 型バイポーラトランジスタの構成図である。

第3図(A)に示すように、n-p-n 型バイ

n型半導体単結晶領域(以下、n型領域と記す)3を成長させ、その後、ドーピングガスをp型タイプに切り換えて、n型領域3上にp型半導体単結晶領域(以下、p型領域と記す)4を選択的に成長させて、n-p層が連続して積層された島状のSi単結晶を作製する。

次に、第2図(C)に示すように、成長した島状のSi単結晶を適当な高さのところで平坦化することによって、単結晶を鏡面円錐体とし、n型領域3の外側にp型領域4を形成する。

次に、第2図(D)に示すように、微細加工技術を用いてp型領域4を二分割して、p型領域4₁、4₂を形成する。

微細加工技術は特に限定されることなく、通常のレジストプロセスと、エッチングプロセスとかなるリソグラフィ技術を用いて加工を行うことができる。

レジストプロセスは、レジスト塗布、露光、現像、ハードベーク工程からなり、レジストのバターンニングは必要とされる精度により、紫外

ボーラトランジスタは、第1図(C)(D)に示した半導体基材の内側のn型半導体領域にエミッタ電極[図中(E)]、以下の各例において同符号を用いる。]、p型半導体領域にベース電極[図中(B)]、以下の各例において同符号を用いる。]、外側のn型半導体領域にコレクタ電極[図中(C)]、以下の各例において同符号を用いる。]が形成される。

また、第3図(B)に示すように、p-n-p型バイポーラトランジスタは、単結晶成長過程において、ドーピングガスの添加順序を変えることによって、第1図(C)(D)に示した半導体基材と導電型の反対な半導体基材を形成し、この半導体基材の内側のp型半導体領域にエミッタ電極、n型半導体領域にベース電極、外側のp型半導体領域にコレクタ電極を設けたトランジスタも形成される。

第4図(A)は本発明の前記第二実施態様例によって作成された半導体基材を用いたp-n-p型バイポーラトランジスタの構成図である。

第4図(A)に示すように、P-N-P型バイポーラトランジスタは、第2図(D)に示した半導体基材の内側のn型領域3にベース電極、P型領域4₂にエミッタ電極、P型領域4₁にコレクタ電極が形成される。

なお、上記半導体基材は外側のP型領域4を分割して、P-N-P型バイポーラトランジスタを構成したが、内側の半導体単結晶領域を分割してP-N-P型バイポーラトランジスタを形成することも可能である。

第4図(B)は本発明によるP-N-P型バイポーラトランジスタの他の実施例を示す構成図である。

第4図(B)示すように、単結晶成長過程において、ドーピングガスの添加順序を変えることによって、第2図(C)に示した半導体単結晶領域と導電型の反対な半導体単結晶領域を形成し、内側のP型領域を分割して、二つのP型領域を形成し、それ respectiveコレクタ電極、エミッタ電極を形成し、外側のn型領域にベース電極を形成する。

とドレイン電極[図中(D)]、以下の各例において同符号を用いる。]を形成するものであり、ソースからドレインへの電子の流路(チャネル)の幅をゲートに印加する電圧の電界効果によって制御することによって、ソース・ドレイン間の電流を制御するものである。

本発明の第一実施態様例によって作成された半導体基材を用いて、この接合型電界効果トランジスタを作成する場合は、第5図(B)に示すように、単結晶を成長させる段階でそれぞれ所望の不純物をドーピングして、第1のP型半導体領域上にn型半導体領域を形成し、さらにその上に第2のP型半導体領域を形成した後、単結晶を平坦化し、第1のP型半導体領域と第2のP型半導体領域とにゲート電極を形成し、n型半導体領域にソース電極とドレイン電極と一定距離をおいて形成する。

本発明の第二実施態様例によって作成された半導体基材を用いて上記接合型電界効果トランジスタを作製する場合は、第5図(C)に示すように、

特開昭 64-722 (8)

なお、本発明の半導体基材の製造方法を用いた半導体素子としては、バイポーラトランジスタ以外にも、接合型電界効果トランジスタ、MOS型電界効果トランジスタ、整流素子、SCR、トライアック等が可能である。

以下、これらの半導体素子の半導体基材に本発明の製造方法を用いた例について説明する。

(1) 接合型電界効果トランジスタ

第5図(A)は、接合型電界効果トランジスタの動作を説明するための構成図であり、第5図(B)(C)は、本発明によって形成した接合型電界効果トランジスタの構成図である。

第5図(A)に示すように、接合型電界効果トランジスタの一般的な基本構成は、n型半導体領域を挟んで両側にp型半導体領域を形成し、さらにこの2つのp型半導体領域にゲート電極[図中(G)]、以下の各例において同符号を用いる。]を形成し、この対向するゲート電極と垂直となるように、n型半導体領域にソース電極[図中(S)]、以下の各例において同符号を用いる。]

単結晶を成長させる段階でそれぞれ所望の不純物をドーピングして、p型半導体領域上にn型半導体領域を形成した後、単結晶を平坦化し、p型半導体領域を二つのp型半導体領域に分割し、それそれにゲート電極を形成し、n型半導体領域にソース電極とドレイン電極と一定距離をおいて形成する。

(2) MOS型電界効果トランジスタ

第6図(A)は、MOS型電界効果トランジスタの動作を説明するための構成図であり、第6図(B)は、本発明の方法によって作製した半導体基材を用いて形成した接合型電界効果トランジスタの構成図である。

第6図(A)に示すように、MOS型電界効果トランジスタ(ここではpチャネルMOS型電界効果トランジスタについて説明する。)の一般的な構成は、n型半導体基材に一定距離をおいて、2つのp型半導体領域を形成し、これらのp型半導体領域に挟まれたn型半導体領域上にゲート絶縁膜を介してA1等のゲート電極を形成するもの

であり、ゲートが浮電位のときは、Pn接合が電流を遮断するが、ゲートに負電位（PチャネルMOSトランジスタの場合）を印加すると、その電界効果によって、ゲート酸化膜との型半導体基材の界面にPチャネル層が発生し、ソース・ドレイン間に電流を流すことが可能となるものである。

本発明の第一実施態様例によつて作成された半導体基材を用いて、このMOS型電界効果トランジスタを作製する場合は、単結晶を成長させる段階でそれぞれ所望の不純物をドーピングして、第1のP型半導体領域上にn型半導体領域を形成し、さらにその上に第2のP型半導体領域を形成した後、単結晶を平坦化し、第1のP型半導体領域にドレイン電極、n型半導体領域にゲート電極、第2のP型半導体領域にソース電極を形成する。

(3) SCR

第7図(A)は、SCRの動作を説明するための構成図であり、第7図(B)は、本発明によつて形

等を作り出せる素子である。

本発明の第一実施態様例に基づいて半導体基材を作製し、このSCRを作製する場合は、単結晶を成長させる段階でそれぞれ所望の不純物をドーピングして、第1のn型半導体領域、第1のP型半導体領域、第2のn型半導体領域、第2のP型半導体領域を順に積層させた後、単結晶を平坦化し、第1のn型半導体領域にカソード電極、第1のP型半導体領域にゲート電極、第2のP型半導体領域にアノード電極を接続する。

(4) ライアック

第8図(A)はライアックの構成を説明するための構成図であり、第8図(B)は本発明による半導体基材を用いたライアックの構成図である。なお、半導体基材の製造工程については、略第1図に示した半導体基材と同様なので、詳細説明は省略する。

ライアックはAC制御の可能な3極素子である。逆並列したSCRと等価であり、ゲートに正負いずれの信号をトリガとして与えてもターンオフ

特開昭64-722(9)

成したSCRの構成図である。

第7図(A)に示すように、SCRの一般的な構成は、P型半導体領域とn型半導体領域と交互に積層させた4層構造からなり、内端部のP型半導体領域、n型半導体領域にそれぞれアノード電極(図中(A))、カソード電極(図中(K))を形成し、両n型半導体領域に挟まれたP型半導体領域にゲート(図中(G))電極を形成するものであり、この素子は順方向電流の通電時間をコントロールできるタイオードの様な働きをし、2方向に安定したスイッチング機能を持っている。すなわち、

(a) カソードに正、アノードに負の電圧を印加したときの「逆阻止状態」。このときは、ゲート電極に無関係である。

(b) アノードに正、カソードに負の電圧を印加し、ゲートに答もしくは負の電圧を印加したときの「オフ状態」。

(c) オフ状態のサイリスタのゲートに正の電圧を印加したときの「オン状態」。

させることができる。

本発明の第二実施態様例に基づいて半導体基材を作製し、このトライアックを作製する場合は、第1図に示した製造工程と同様にして、単結晶成長過程において、ドーピングガスの添加順序を変えることによって、n型領域、P型領域、n型領域を積層形成し、その後成長した島状のSi単結晶を適當な高さのところで平坦化することによってSi単結晶を鏡面円錐体とし、n型領域の外側に向ってP型領域、n型領域が形成される。外側のn型領域及びP型領域を二分割し、さらに分割されたn型領域の一方を二分割して、三つのn型領域 5_1 、 5_2 、 5_3 と二つのP型領域 4_1 、 4_2 を形成する。n型領域 5_1 、 5_2 に主電極(図中(t₁)、(t₂))、n型領域 5_3 にゲート電極(図中(G))を形成することにより、n p n p nの5層構成のトライアックが形成される。

(5) 整流素子

第9図(A)は、整流素子の一例の動作を説明するための構成図であり、第9図(B)は、本発明に

よって形成した熱流素子の構成図である。

第9図(A)に示すように、本実施態様例における熱流素子の基本構成は、I (Intrinsic) 型半導体領域を挟んで両側にP型半導体領域とN型半導体領域を形成したものであり、比較的消費電力の大きい用途に好適に用いられる。

本発明の第一実施態様例に基づいて半導体基材を作製し、この整流素子を作製する場合は、単結晶成長させる段階で、P型不純物をドーピングして、P型半導体領域を形成し、その上にI型半導体領域を形成し、さらにN型不純物をドーピングして、N型半導体領域を形成した後、P型半導体領域とN型半導体領域に電極を形成する。勿論、中間のI型半導体領域のデポジションを省いて、単にP-N接合のみのダイオードとしてもよい。

【発明の効果】

以上詳細に説明したように、本発明の半導体基材の製造方法によれば、堆積材料の種類、組成比、不純物の量、種類等の製造条件を変えて、特

第1図(A)～(D)は、本発明の半導体基材の製造方法の第一実施態様例を示す工程図である。

第2図(A)～(D)は、上記構成を具現化する本発明の半導体基材の製造方法の第二実施態様例を示す工程図である。

第3図(A)(B)から第9図(A)(B)までは本発明によって作製された半導体基材を用いた半導体素子を説明するための構成図である。

第10図(A)および(B)は選択堆積法の説明図である。

第11図は、SiO₂からなる堆積面と変化シリコンからなる堆積面との核形成密度の経時変化を示すグラフである。

第12図(A)～(C)は、前記特願61-153273号に開示された単結晶形成方法の一例を示す形成工程図であり、第13図(A)および(B)は、第12図(A)および(C)における斜視図である。

第14図(A)～(C)は前述した特願61-153273号に開示された単結晶形成方

特開昭 64-722 (10)

性の異なる半導体結晶領域を半導体単結晶の少なくとも一部に所望の厚さ及び位置に、極めて容易に、しかも完全に領域が分離した状態で形成することができる。

本発明において、半導体単結晶の突出部を平坦化し、特性の異なる半導体結晶領域を露出させることにより、基体に対して直角に近い角度で特性の異なる半導体結晶領域を所望の厚さ及び位置に隣接して形成することができ、半導体結晶領域の幅、深さ等が高精度に制御可能となる。

本発明において、特性の異なる半導体結晶領域を複数形成し、少なくとも一つの半導体結晶領域を微細加工技術を用いて分割すれば、簡易な工程で同一特性の複数の半導体結晶領域を同時に分離形成することができ、且つ高精度に分割することができ、同材質の半導体結晶領域を異種材質の半導体結晶領域を介して配設する構成の半導体素子において、その積層回数を減らし、工程を簡易化することが可能となる。

4. 図面の簡単な説明

法の一例を示す形成工程図である。

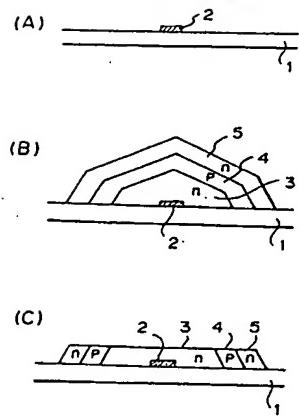
第15図(A)(B)は結晶形成面の凹部に単結晶を形成する場合の単結晶形成方法の説明図である。

1：基体、2：核形成面、3、5：N型半導体結晶領域、4、4₁、4₂：P型半導体結晶領域。

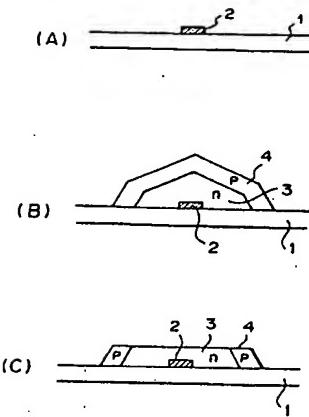
代理人 弁理士 山下 順平

特開昭64-722 (11)

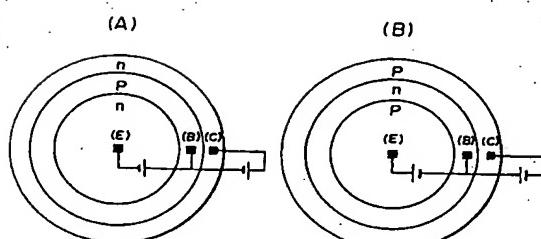
第 1 図



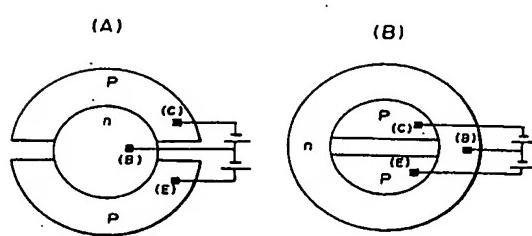
第 2 図



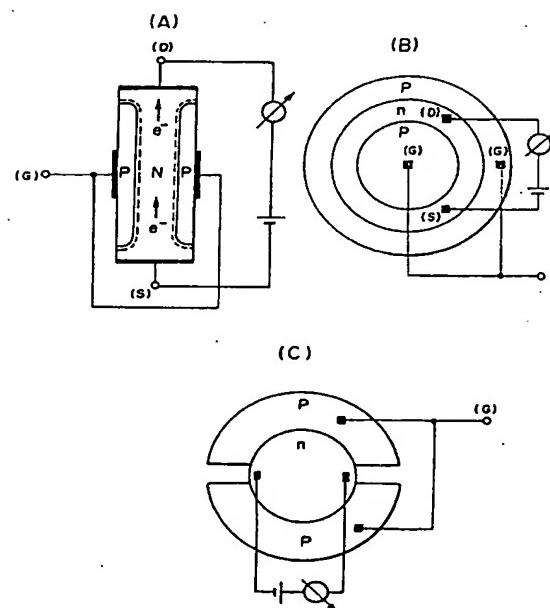
第 3 図



第 4 図

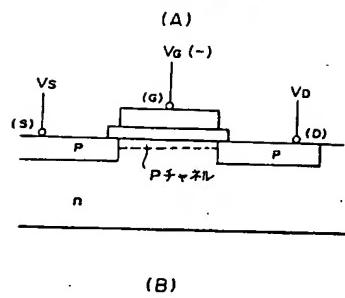


第 5 図

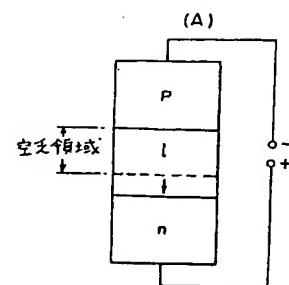


特開昭64-722 (12)

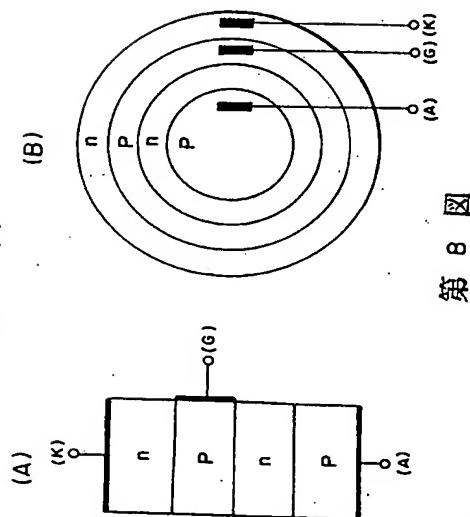
第6図



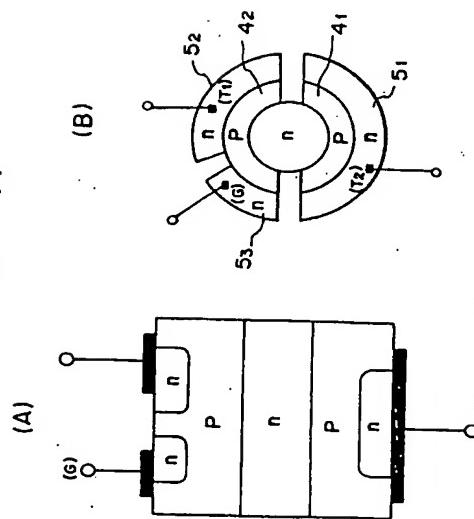
第9図



第7図

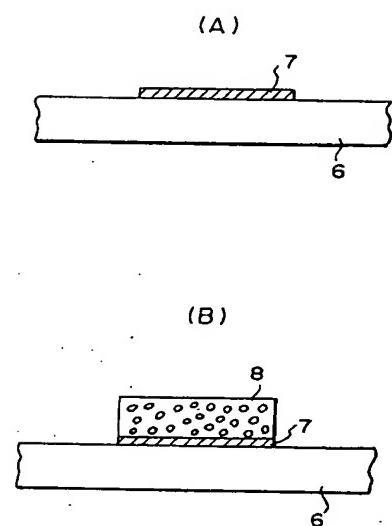


第8図

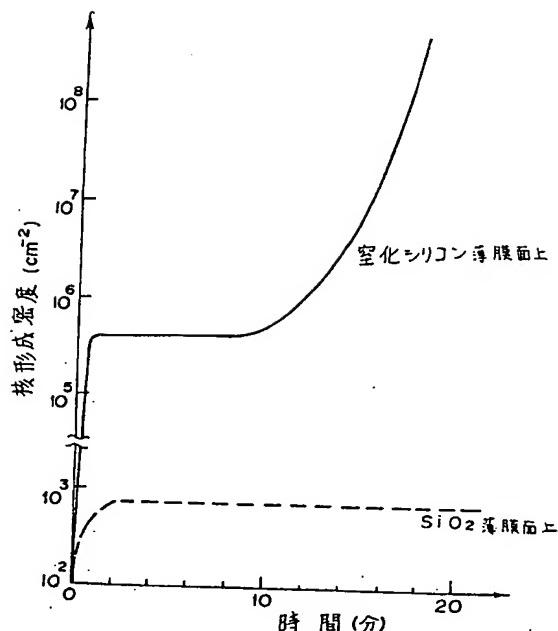


特開昭 64-722 (13)

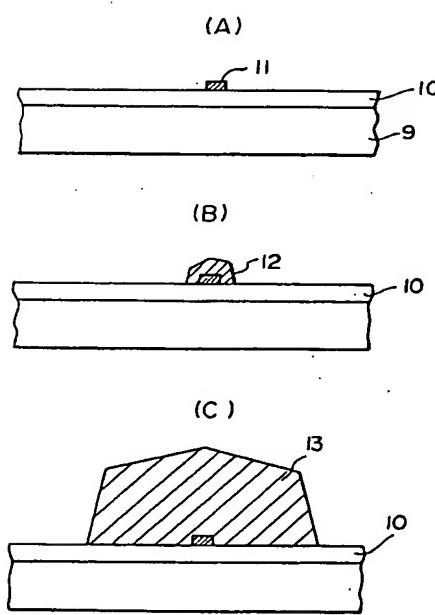
第 10 図



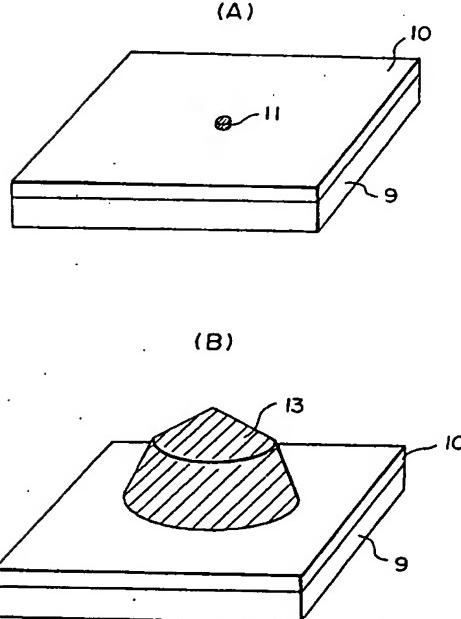
第 11 図



第 12 図

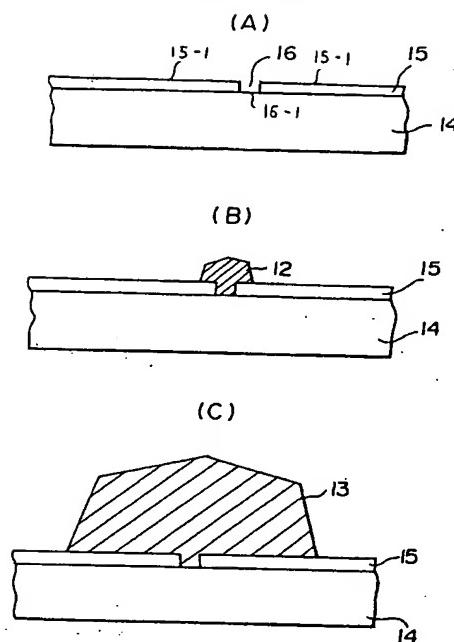


第 13 図



特開昭 64-722 (14)

第 14 図



第 15 図

